

CLIPPEDIMAGE= JP363001052A

PAT-NO: JP363001052A

DOCUMENT-IDENTIFIER: JP 63001052 A

TITLE: SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: January 6, 1988

INVENTOR-INFORMATION:

NAME

KIMURA, SHINICHIRO

SUNAMI, HIDEO

KURE, TOKUO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP61142992

APPL-DATE: June 20, 1986

INT-CL\_(IPC): H01L027/10; G11C011/34

US-CL-CURRENT: 257/305,257/313 ,438/396

ABSTRACT:

PURPOSE: To reduce the area of a semiconductor memory cell with a grooving type capacitor by conducting a polycrystalline semiconductor forming the grooving type capacitor and a transistor source region in the circular section of a substrate while directly shaping an oxide film from the polycrystalline semiconductor.

CONSTITUTION: An impurity low-concentration layer 12 as a source region in a transistor forming a semiconductor dynamic RAM cell together with a grooving type capacitor is shaped onto a substrate 11 containing an impurity in high concentration as one electrode of the capacitor. When grooves are formed to

these substrate 11 and layer 12 through masks, one parts of capacitor insulating films 14 shaped to the grooves are removed and the insides of the grooves are buried with polycrystalline silicon 15, the polycrystalline silicon 15 and the layer 12 are self-aligned in the substrate in the lower section of the surface of the substrate, and conducted and connected under the state in which allowance on a design is not required when the surface of the polycrystalline silicon 15 is oxidized directly, the polycrystalline silicon 15 in both grooves forming a capacitor is coated with self-alignment oxide films and insulated, and allowance on the design is not required. Accordingly, the area of a semiconductor memory cell with the grooving type capacitor is reduced.

COPYRIGHT: (C)1988,JPO&Japio

## ⑯ 公開特許公報 (A)

昭63-1052

⑯ Int.Cl.<sup>1</sup>  
H 01 L 27/10  
G 11 C 11/34識別記号  
325  
352府内整理番号  
8624-5F

⑯ 公開 昭和63年(1988)1月6日

審査請求 未請求 発明の数 3 (全16頁)

## ⑯ 発明の名称 半導体記憶装置とその製造方法

⑯ 特願 昭61-142992

⑯ 出願 昭61(1986)6月20日

⑯ 発明者 木村 紳一郎 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑯ 発明者 角南 英夫 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑯ 発明者 久礼 得男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑯ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑯ 代理人 弁理士 小川 勝男 外1名

## 明細書

## 1. 発明の名称

半導体記憶装置とその製造方法

## 2. 特許請求の範囲

1. 基板内部に形成した溝掘り型電荷蓄積キャパシタと、スイッチ用トランジスタから構成される半導体記憶装置において、該トランジスタのソース領域となる高濃度不純物拡散層と、該溝掘り型キャパシタの内部に埋め込まれ、該キャパシタの一方の電極となる多結晶半導体とが、該基板の表面より下部の基板内部において電気的に導通しており、さらには、該溝掘り型キャパシタの表面は、該多結晶半導体を直接酸化することによって形成した酸化膜によって被われていることを特徴とする半導体記憶装置。

2. 基板内部に形成したひとつの溝掘り型電荷蓄積キャパシタと、スイッチ用トランジスタから構成され、該基板として高濃度に不純物を含む単結晶半導体層とその上に成長させた、低濃度に不純物を含む半導体層とから成り、該低濃度

半導体層をトレニチキャパシタのプレート電極として用いる基板プレート型の半導体記憶装置において、該高濃度基板と該低濃度基板との間に絶縁膜が存在し、両者が電気的に絶縁分離されていることを特徴とする半導体記憶装置。

3. 半導体基板に掘った溝の側壁を利用するひとつの電荷蓄積キャパシタと、スイッチ用トランジスタから構成される半導体記憶装置の製造方法において、第1導電型の半導体基板に第1の溝を掘る工程、該第1の溝の側壁および半導体基板の表面に絶縁膜を形成する工程、該第1の溝を第2導電型の半導体で埋め戻す工程、該第1の溝を横切るように、該第1の溝の短辺よりは長い長辺を持つ第2の溝を、該第1の溝と同じあるいは深く形成し、該第1の溝を分離する工程、該第2の溝の内部を絶縁膜であるいは絶縁膜と導電膜の2層膜で埋め戻す工程からなることを特徴とする半導体記憶装置の製造方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体記憶装置に係り、特に、高集積化に好適な溝掘り型キャパシタを有する半導体記憶装置に関するもの。

## 〔従来の技術〕

DRAMは3年間で4倍という集積度の向上を実現し、既に主流は64Kから256Kへと移り、1Mビットの量産も間近い状態にある。この高集積化は、いわゆるスケーリング則と呼ばれる素子寸法の微細化によって達成されてきた。しかし微細化に伴う蓄積容量の減少のために、S/N比の低下やノイズによる信号反転等の弊害が顕在化し、信頼性の上で大きな問題になっている。このため蓄積容量を増加させる目的で、基板に掘った溝の側壁を利用する溝掘り型キャパシタセル(トレンチキャパシタセル)；(コルゲイティド キャパシタセル、アイ・イーイーイー トランスクレクションズ オン エレクトロン デバイシズ；)スナミ、クレ、ハシモト、イトウ、トヤベ、アサイによる

(A Corrugated Capacitor Cell, IEEE Transactions on Electron Devices, vol. ED-31, No. 6,

June, 1984, pp746-753)が提案されている。これは、第2図に示したように、半導体基板(12)の内部に溝を掘り、この溝の側壁に形成した絶縁膜(14)を用いてキャパシタを形成するものである。これによって、メモリセルの面積を増加させることなく、実効的なキャパシタの面積を大きくすることができるため、高集積化しても十分な電荷が確保でき、信頼性に優れた記憶装置を作ることができる。第2図において、(12)は半導体基板、(13)は素子間分離用酸化膜、(14)はキャパシタ絶縁膜、(15)はプレート電極となる高濃度多結晶シリコン、(16)はトランジスタのゲート電極、(17)は周間分離用酸化膜、(18)はアルミニウム酸銅、(19)はソース・ドレインである。なお、(20)は溝の周辺に形成した、基板(12)とは導電型の違う高濃度不純物拡散層を示しており、これは、α線に対する耐性を高める効果がある。

以上のように、このメモリセル構造は優れた堅固を有しているが、素子の微細化という点に関して

て幾つかの問題がある。そのひとつは、隣接するトレンチキャパシタにおいて、リーク電流の問題から不純物拡散層(20)の間隔をあまり小さくすることはできないという点である。このリーク電流は基板の濃度を上げればある程度は抑えられるが、逆に濃度を上げ過ぎると接合耐圧が低下するという問題があるため、基板濃度は $\sim 5 \times 10^{16} / cm^3$ 以下であり、その時の間隔は $1.0 \mu m$ 程度である。この間隔の制限が、この構造をサブミクロンの領域で作る際に、微細化を粗が阻害する要因となる。

この問題を解決するために考案された記憶装置が第3図(a)に示したものである(“ベリードストレージ エレクトロード セル フォー メガビット デーラムズ”，サカモト、カトー、アピコ、シミズ、ミコシバ、ホカリ、ハマノ、コバヤシ；アイ・イーイーイー、インターナショナル・エレクトロン・デバイス・システム・ミーティング・テクニカル・ダイジェスト、IEEE International Electron Devices Meeting, (1985), pp710.)。

この方式は、いわゆる基板プレート型トレンチキャパシタセルと呼ばれているものであり、第2図に示した従来構造のトレンチキャパシタが、基板側に電荷を蓄える式になっていたのに対して、この方式では、トレンチ内部に埋め込んだ多結晶シリコン(15)がトランジスタのソース領域と電気的に導通しているため、電荷はトレンチの内部に蓄えられる。このため、隣接するトレンチ間でのリーク電流は実質的にゼロになり、原理的にはトレンチ間隔をゼロにすることも可能となる。

この特長は、一見するとセル面積の減少に大きな効果があるよう感じられる。しかし、実際には、トレンチ内部に埋め込んだ多結晶シリコン(15)を個々のトレンチで分離しなければならないため、(第2図に示した従来構造のトレンチキャパシタセルでは、トレンチ内部に埋め込んだ多結晶シリコン(15)はプレート電極となるため、分離する必要はない。)その分離間隔にはある程度の余裕が必要となる。また、多結晶シリコン(15)とトランジスタのソース領域とを電気的

に導通させなければならないため、この部分にも、第2回の従来構造トレンチキャバシタセルには必要なかった、接触余裕を取らなければならない。

このように、第3図(a)の基板プレート型トレンチキャバシタは、隣接トレンチ間の距離を短くできるという利点はあるものの、上述したような設計余裕を必要とするため、必ずしも従来構造のトレンチキャバシタセルに比べてセル面積は小さくならない。特に、設計ルールがサブミクロンになってくると決ってセル面積は小さくならない。

そこで、トランジスタのソース領域とトレンチキャバシタ内の多結晶シリコンとの接触に自己整合を用いて余裕を無くした構造が第4図のように提案されている(エス・ピー・ティー・セル；ニューラ・サブストレート・プレート・トレンチ・セル・フォー・デーラムズ；ルー・コットトレル・クリング・ダッシュ・クリトリス・モラー・マヂエズニー・ニン・ノーブル・パレント・シュエルライン・スプロギス・ターマンによる；アイ・イー・イー・イー・，インターナショナル・エレクトロン・デ

バイシス・ミーティング，IEEE International Electron Devices Meeting, (1985), pp771)

これは、シリサイド(21)を用いてトランジスタのソース領域とトレンチに埋め込んだ多結晶シリコン(15)が自己整合で導通する構造になっている。このため、最初に基板に溝を掘り、その中を多結晶シリコンで埋め戻した後に、その溝の表面の半分だけが露出するように素子間分離用の酸化膜(13)を形成する。さらに、トランジスタのゲート電極(16)を形成し、公知の方法を用いて、シリサイド化によってトランジスタのソース領域と多結晶シリコン(15)を導通させる。

ところで、64Kビット以降のdRAMでは、雑音の低減とS/Nの向上という観点から、いわゆる、折り返しビット線構成が採用されている。この方式では、素子のレイアウトにおいて、キャバシタ領域の上にゲート電極(ワード線)が乗る構造になってしまふ。第4図の素子構造では、溝の半分を被うように形成した厚い酸化膜(13)

の上にワード線(16)が乗るようになっている。隣接する2本のワード線を分離するためには当然その間隔には余裕が必要となる。そして、これを満たすためには、厚い酸化膜の領域を広くしなければならない。このため、第3図(a)に示した素子に比べれば素子面積の縮小は可能だが、大巾な縮小にはならない。

以上述べてきたように、従来の基板プレート型のトレンチキャバシタセルでは、トレンチ間隔は小さくできても、他の要因から必ずしもセル面積の縮小は望めないという欠点があった。

#### (発明が解決しようとする問題点)

以上述べてきたように、第3図(a)に示した基板プレート型のトレンチキャバシタセルでは、トレンチ内部に埋め込んだ多結晶シリコンを個々のトレンチについて分離しなければならないという点と、トランジスタのソース領域と必ず電気的に導通させなければならないという点で設計上に余裕が必要となり、セル面積の縮小が望めない。また、第4図のセルでも、折り返しビット線構成

にするためには素子間分離用の酸化膜の領域が大きくなり、この構造でも必ずしも面積の縮小にはならない。

本発明の第1の目的は、基板プレート型トレンチキャバシタセルにおいて、上記の欠点を解消し、セル面積の縮小化が可能となる構造を提供することにある。

また、基板プレート型のトレンチキャバシタセルは、セル面積を小さくできるため、半導体記憶装置の高集積化が可能である。

しかし、この基板プレート型のセルには本質的に幾つかの問題がある。例えば、高濃度に不純物を含む層と低濃度層の2層からなるエピタキシャル基板を使用するため、素子製造工程での熱処理によって高濃度基板から低濃度基板へ向って不純物が拡散する。これでは、エピタキシャル界面では不純物濃度が低下し、空乏層が並がるためキャバシタの実質的な容量は低下してしまう。

また、トレンチ内部を埋めている多結晶シリコン(15)はトランジスタのソース領域と導通し

ているため、書き込み時には5Vになる。ところで、一般にトランジスタの基板には基板電圧と2~3Vが印加されているため、キャパシタ絶縁膜には8Vの電圧が印加されることになる。この電圧ストレスに長期的に耐えるためには、絶縁膜は30nm程度の厚さでなければならない。しかし、このように厚い絶縁膜では、溝を掘ってまでキャパシタの実効面積を増加させた意味がなくなってしまう。

本発明の第2の目的は、高濃度基板から低濃度層への不純物の拡散を防ぎうる構造を提供することにある。

更に、従来のトレンチキャパシタセルでは、隣接するトレンチ周辺の不純物拡散層間でのリーク電流を抑える必要から、トレンチの間隔をあまり小さくすることはできなかった。また、第3図(b)に示した従来のトレンチキャパシタセルの平面レイアウトからも明らかなように、隣接するトレンチ(32)の間隔は、素子間分離用酸化膜(31)と、該素子間分離用酸化膜とトレンチの

合わせ余裕のよって決められる。このような余裕もセル面積の縮小化を防げる要因となる。なお、この図において、(33)はワード電極、(34)はプレート電極、(35)はピット線コンタクトホールである。なお、不純物拡散層とピット線は省略してある。

本発明の第3の目的は、隣接トレンチの間隔を従来のものより小さくしながら、かつ、隣接する拡散層間のリーク電流を防止することの可能なトレンチキャパシタを有する半導体記憶装置を提供することにある。

そこで、本発明では第1の目的を達成する為に、第1図(a)のような構造にすることによって、基板プレート型トレンチキャパシタセル面積の縮小を可能にした。このために、トレンチの内部を多結晶シリコン(15)で埋め戻す工程を2段階に分けて行い、その過程でトランジスタのソース領域側のキャパシタ絶縁膜(14)の一部のみが除去されるようにした。この結果、トランジスタのソース領域と多結晶シリコンが自己疊合的に導

通するようになる。さらに、溝を形成する際のエッチングマスクの一部として用いた膜(具体的には窒化シリコン膜)を、素子間分離用酸化膜形成のマスクとして再び利用し、溝の表面は、その溝を埋めている多結晶シリコンを直接酸化した酸化膜で被われるようにした。

また上記第2の目的は、第1図(b)に示した本発明の半導体記憶装置のように、高濃度基板(11)と低濃度基板であるエピタキシャル層(12)の間に、絶縁膜(10)を設けることで達成できる。すなわち、この絶縁膜層が高濃度基板からの不純物拡散のストップバーになり、また、キャパシタのプレート電圧と基板電圧の独立制御を可能にする。

本発明においては、エピタキシャル界面に絶縁膜を形成するために、エピタキシャル層を成長させた後に酸素イオンをイオン打ち込みし、ちょうどエピタキシャル界面に酸化膜厚を100~200nmの厚さで形成した。また、高濃度基板(11)の上に酸化膜を形成し、その上に公知の

CVD法(Chemical Vapor Deposition)を用いて多結晶シリコンを堆積させ、これを、一部だけ溶解させながらその溶解部を移動させるという、酸化膜上での横方向単結晶成長も用いた。どちらの方法ででも所望の基板を得ることができる。

また、スイッチング用トランジスタは必ずしも単結晶基板上に作る必要はなく多結晶でも良い。この場合には、絶縁膜(10)上に堆積させた多結晶膜をそのまま用いれば良い。

更に上記第3の目的は、隣接するトレンチの間隔を可能な限り小さくし、かつ、不純物拡散層間のリーク電流を防止するためには、キャパシタ用トレンチを掘り、その内部をプレート電極で埋め戻した後に、該キャパシタ用トレンチを2分するように第2のトレンチを掘れば良い。その際、第2のトレンチの長辺は該キャパシタ用トレンチの短辺より長く、かつ、その両端は素子間分離用酸化膜にとどいており、基板平面上につくられたキャパシタ部分の不純物拡散層をも分断する大きさでなければならない。また、第2のトレンチは該

キャパシタ用トレンチより深い必要があり、その内部は絶縁膜で埋められている。

このようすを示したのが、第1図(c)であり、本発明の製造方法によって作られた半導体記憶装置の平面レイアウト図である。第3図の従来の半導体記憶装置との大きな違いは、長方形に掘ったトレンチキャパシタ(第1図(c)の32)に直交するように、分離用のトレンチ(41)が形成されている点である。

#### (作用)

第1図(a)のような構造にすることで、トランジスタのソース領域と溝の内部を埋めた多結晶シリコンは自己整合で導通されるようになるため、設計上の余裕が不要となる。また、溝の上は厚い酸化膜で完全に被われているため、素子間分離用酸化膜(13)の領域をあまり大きくすることなく、ワード線をその上に通すことが可能となる。しかも、この溝上面の酸化膜は自己整合で形成されるため、これにも設計上の余裕が不要であり、セル面積の縮小化に寄与する。

分低く抑えられる。

#### (実施例1)

以下、第1図(a)に示した本発明の半導体記憶装置を実現するための第1の実施例を第5図(a)～(i)を用いて説明する。

本発明の半導体記憶装置は、いわゆる基板ブレート型トレンチキャパシタ構造を採用しているため、キャパシタの一方の電極は基板(11)である。このため、基板(11)として、不純物を高濃度に含む層の上に、低濃度層をエピタキシャル成長させたものを用いている。エピタキシャル層(12)の厚さは $1.5\mu m$ 程度である。なお、ここでは、トランジスタとしてnMOSFET(*n-type Metal Oxide Field Effect Transistor*)を作るために、基板はp型のエピタキシャル基板である。しかし、pMOSの場合には、基板はn型のエピタキシャル基板となる。また、dRAMの周辺回路をCMOS(*Complementary Metal Oxide Semiconductor*)で構成する場合には、エピタキシャル層を厚くするか、高濃度部分は埋め

第1図(b)のように、界面に絶縁膜を設けることによって、熱処理による不純物の拡散が防止できる。この結果、キャパシタ部近傍での空乏層の発生が抑えられるため容量の減少が防げる。また、絶縁膜をはさんでいる両半導体層は電気的に絶縁されているため、基板電位を-3Vにしてブレード電圧はアース電位に保つことができる。このため、トレンチキャパシタ絶縁膜の大部分には5Vが印加される。なお、エピタキシャル層にあるトレンチキャパシタ部の絶縁膜には、本発明の装置を用いても8Vが印加されるため、この部分だけ絶縁膜は厚くしてある。

第1図(d)のように構成すれば、第3図(b)で見られるようなトレンチ間の素子間分離用酸化膜領域や、該酸化膜とトレンチの合わせ余裕がなくなるために、ワード線方向の縮小が可能となり、セル面積を小さくできる。

また、隣接するキャパシタトレンチの間には、該キャパシタトレンチより深く分離用トレンチがあるために、リーク電流は従来のものに比べて十

分低く抑えられる。

込み層にすれば良い。この基板上に、第5図(a)に示したように、従来の方法を用いて必要な部分上にのみ素子間分離用の厚い酸化膜(13)を形成する。

次に、第5(b)のように、基板内に溝を形成するためのマスクを形成する。これには、窒化シリコン膜(Si<sub>x</sub>N<sub>y</sub>)(51)と二酸化ケイ素膜(SiO<sub>2</sub>)(52)の2層膜を用いており、特に、Si<sub>x</sub>N<sub>y</sub>は後の工程で行う選択酸化のマスクにもなる。

このマスクを用いて、公知のRIE(*Reactive Ion Etching*)法により、基板内には4μm以上の深さで溝を掘る(第5図(c))。

この溝の側壁全面にキャパシタの絶縁膜(14)を形成する(第5図(d))。この絶縁膜としては、基板を直接酸化したSiO<sub>2</sub>膜を公知のCVD(*Chemical Vapor Deposition*)法で形成したSi<sub>x</sub>N<sub>y</sub>膜の裏面を酸化したSiO<sub>2</sub>/Si<sub>x</sub>N<sub>y</sub>の2層膜、基板を酸化し、この上に上記の方法でSi<sub>x</sub>N<sub>y</sub>膜を形成し、さらにその表面を酸化した

$\text{SiO}_2$  /  $\text{Si}_x\text{N}_y$  /  $\text{SiO}_2$  の 3 層膜のどの膜を用いてもよい。また、 $\text{Si}_x\text{N}_y$  の酸化膜などの高誘電率絶縁膜を用いることも可能である。

この溝の中に、キャバシタの一方の電極となる多結晶シリコン (15) を第 5 図 (e) のように埋め込む。この多結晶シリコンはトランジスタのソース領域となる拡散層と電気的に導通しなければならないため、低抵抗である必要がある。この低抵抗化には、一般にりん拡散という方法が採られるが、溝の内部までリンを十分に拡散させるのは不可能である。そこで、本実施例では、まず 1 回目の多結晶シリコン堆積を行い、その表面からりんを拡散させた後に表面を酸化 (52) し、さらに 2 回目の多結晶シリコン堆積 (15) を行って溝を埋めた。

次に、第 5 図 (f) に示したように公知のエッチング法を用いて多結晶シリコンの全面をエッチングし、特に溝の内部については、多結晶シリコンの表面が基板表面より下にくるようにする。

ただし、多結晶シリコンの表面は隣接して形成し

てある素子間分離用の酸化膜 (13) の界面よりは下にならないようとする。

このようにすると、溝の側壁に形成したキャバシタ絶縁膜 (14) の一部が露出するので、この露出した絶縁膜だけを堿化水素等の溶液を用いて除去し、基板が現われるようとする。

さらに、第 5 図 (g) のように、多結晶シリコン (15) を堆積させ、りん拡散を行った後に  $\text{Si}_x\text{N}_y$  (51) が露出するまでエッチングを行い溝を埋める。この時、多結晶シリコン (15) の一部は基板と直接的に接触しているため、多結晶シリコンを通して不純物であるりんが基板内にも拡散する。

次に、第 5 図 (h) に示したように、基板表面にある  $\text{Si}_x\text{N}_y$  (51) をマスクに用いて、溝の表面に露出している多結晶シリコンの表面上にのみ選択的に酸化膜を形成する。膜厚は 200 ~ 300 nm である。この酸化処理によってキャバシタ部は完全に酸化膜で被われる。

最後に、第 5 図 (i) のようにトランジスター

ゲートとなるトランジスタを作る。トランジスタは多結晶シリコンをゲート電極とする MOSFET であり、ソース・ドレイン領域 (19) は公知のように自己整合で形成するが、この時、ソース領域は、溝内部を埋める多結晶シリコンから拡散してきた不純物拡散層と自己整合で導通する。また、折り返しビット線構成の場合、ワード線はキャバシタ上に乗るが、本実施例では第 5 図 (i) から明らかのように、溝表面上に選択的に形成した酸化膜の上に配置することができる。

なお、第 6 図は本実施例の平面レイアウトを示したものである。ここで、(13) は素子間分離用酸化膜 (14) はトレンチキャバシタ、(16) はワード線、(61) はビット線コンタクトである。

本実施例では、折り返しビット線構成を仮定して説明してきたが、開放ビット線構成のメモリへも発明が適用可能なのは言うまでもない。

実施例によれば、従来の基板プレート型トレンチキャバシタセルでは不可欠であった、トランジ

スタのソース領域と溝を埋める多結晶シリコンとの接觸余裕や、キャバシタ上にワード線を配置するための絶縁膜層の面積的な余裕がまったく無くなる。そのため、素子面積の大巾な縮少、ひいては、DRAM の高集成化に効果がある。

例えば、同じ設計ルールで設計してみると、本発明の構造は、第 3 図 (a) に示した構造の約 60 % の面積で、また第 4 図に示した構造と比較しても、約 65 % の面積で実現可能である。

#### (実施例 2)

以下、本発明の第 2 の実施例を第 7 図 (a) ~ (m) を用いて説明する。

まず、第 7 図 (c) に示したような、高濃度基板 (11) と低濃度基板 (12) との間に絶縁膜 (10) を形成した基板を作るために、第 7 図 (a), (b) 図に示した方法を用いた。第 7 図 (a) は、高濃度基板 (11) 上に低濃度基板 (12) をエピタキシャル成長させた後に、公知のイオン打込み法を用いて酸素イオンを分布のピークが界面になるように打込む。これを 1000

て程度の温度で熱処理すると、界面に酸化膜(10)が形成される。

第7図(b)では、高濃度基板(11)の表面に酸化膜(10)を形成し、その上に、まず多結晶シリコンを堆積させて、それを単結晶化させるという方法を示してある。本実施例では、カーボンヒーターを移動させながら単結晶層を横方向に成長させるという手法を用いた。これらの方法を用いることで、絶縁膜上にも基板に劣らない結晶性を持った単結晶層を形成することが可能である。これらは、いわゆるSOI(Silicon On Insulator)法と呼ばれる公知の単結晶成長法である。

第7図(c)に示した基板を用いて、その表面上に公知の方法を用いて、素子間分離用の厚い酸化膜(13)を形成する(第7図(d))。膜厚はほぼ0.6μmである。

次に、キャバシタ部となるトレンチを形成するが、まず、第7図(e)に示したように、トレンチエッティング用のマスクを作る。ここで、マスク材としては、Si<sub>x</sub>N<sub>y</sub>(41)とSiO<sub>2</sub>(42)

SiO<sub>2</sub>の2層膜が露出するので、この部分だけを溶液を用いて除去し、半導体を露出させる(第7図(h))。

次に、トレンチ内部のレジストを除去し、これに酸化処理を施すと、第7図(i)に示したように、低濃度基板の側壁部にのみ厚い酸化膜(約30~50nm)が成長する。なおキャバシタ部の絶縁膜は、基板を直接酸化したSiO<sub>2</sub>膜である。膜厚は約10nmである。

このトレンチ内部にキャバシタの一方の電極となる低抵抗多結晶シリコンを埋めこむが、本実施例では第7図(j)のように行なった。まず、トレンチ内部に第1回目の多結晶シリコン(15)を埋め込む。次に、この多結晶シリコンの全面にりんに拡散を行い抵抗を下げる。さらに、表面を酸化した後に第2回目の多結晶シリコンを堆積させてトレンチを埋める。

公知はLPCVD(Low Pressure Chemical Vapor Deposition)法を用いせば、1回目の多結晶シリコンの堆積だけでトレンチを埋め戻すこ

の2層を用いた。また、本発明の基本となる基板プレート型トレンチキャバシタセルは、前述したようにトレンチ間隔を小さくできるのが大きな特徴なので、本実施例では、トレンチの一方は素子間分離用の酸化膜(13)にかかっている。

第7図(e)に示した基板に公知のRIE(Reactive Ion Etching)法を用いて、第7図(f)のように溝を掘る。溝の深さは約5μmである。絶縁膜(10)上の低濃度基板層が約1.5μmであるから、容量になる部分のトレンチは約3.5μmである。

次に、第7図(g)に示したように、低濃度基板部のトレンチ側壁にのみ厚い酸化膜を形成する処理を行う。このためには、まず、トレンチ内部をSiO<sub>2</sub>(41)とSi<sub>x</sub>N<sub>y</sub>(42)の2層膜で被い、トレンチをホトレジスト(43)で完全に埋めた後に、トレンチ内部のホトレジストの表面が基板内部に埋め込んだ絶縁膜(10)の近傍に位置するように、レジストを除去する。その結果、低濃度基板部のトレンチ側壁につけたSi<sub>x</sub>N<sub>y</sub>/

とも可能である。しかし、そうすること、トレンチの奥深くまでりんを拡散させることは不可能なため、キャバシタ絶縁膜近傍の多結晶シリコンを低抵抗化させるのは困難になる。そこで、本実施例では上記の2段階埋め戻しを行った。

本発明の基板プレート型トレンチキャバシタセルでは、トレンチを埋めている多結晶シリコンはトランジスター用トランジスタのソース領域と導通しているなければならない。そこで、第7図(k)に示したように、多結晶シリコン層を、基板表面が露出するまでエッティングバックした後で、第7図(l)のよう、トレイチ周辺の所定の位置にのみ不純物拡散層(20)を形成する。さらに、その上を層間分離用の絶縁膜で被う。

最後に、トランジスター用トランジスタのゲート電極(16)を形成し、ソース・ドレイン領域(19)を自己整合的に形成した後、層間絶縁膜(17)の堆積とA1配線を行って本発明の半導体記憶装置を完成させる。なお、ソース・ドレイン領域の形成時に、ソース領域とトレンチ内部の

多結晶シリコンは自己整合で導通する。

なお、本発明の半導体記憶装置は、折り返しビット線構成、開放ビット線構成のどちらのメモリにも適用可能である。

本実施例によれば、界面の絶縁膜層が不純物拡散層のストッパー、絶縁分離の役割をするために、空乏層の拡がりによる容量の低下や、キャパシタ絶縁膜に高電圧ストレスが印加されるのを防いでくれる。このため、従来の基板プレート型トレンチキャパシタで、 $8 \mu\text{m}$ ものトレンチを掘って上記の問題に対処していたのが、 $5 \mu\text{m}$ 深さ程度のトレンチで十分となる。これは、トレンチの信頼性や互生性に大きな効果がある。

また、本実施例の構造は本質的にソフトエラーに強いのは言うまでもない。

### (実施例3)

以下、本発明の第3の実施例を第8図(a)～(k)を用いて説明する。

まず、第8図(a)に示したように、トレンチを形成するためのマスク材(51)を基板(12)

上に堆積させて、必要な部分を残して他を除去する。マスク材としては、基板のシリコンに対して高い選択比のあるものならばなんでも良いが、本実施例では公知のCVD(Chemical Vapor Deposition)法で堆積させたSiO<sub>2</sub>膜を用いた。シリコンのエッチングには公知のRIE(Reactive Ion Etching)法を用いた。トレンチの深さは $4 \mu\text{m}$ である。なお、トレンチを形成する前に、素子間分離用の厚い酸化膜を、第1図(c)のレイアウト図に示したように形成しておく。

RIE法で加工した場合には、良く知られているように加工面に損傷を受けた層が残る。この層は酸化膜等を形成すると、電気的には不十分な膜しか得られない。そこで、この損傷層を除去するために、本実施例ではトレンチの内壁を熱酸化し、それを沸騰水蒸気で除去する処置を施した。

次に、第8図(b)に示したように、トレンチの周辺に不純物拡散層を形成する。この不純物拡散層は、トレンチ周辺での空乏層の拡がりを抑制

し、ひいては、 $\alpha$ 粒子によるソフトエラーに対する耐性を高める効果がある。不純物としては、SbやAsが、後の熱処理による拡散が小さいという点で望ましい。本実施例では、Sbを含む固体源を用いて基板内に拡散させた。ピーク濃度は $10^{19}/\text{cm}^3$ 以上である。なお、不純物拡散層はトレンチ周辺にのみ形成するので、他は適当なマスク材で留めておく必要がある。

次に、トレンチの内壁にキャパシタ絶縁膜(14)を形成する(第8図(c))。このキャパシタ絶縁膜を形成する前に、本実施例では、一度トレンチ内壁を酸化し、その酸化膜を除去した後で、再度キャパシタ絶縁膜を形成した。このような処理によって、トレンチのコーナーは丸くなり、電圧ストレスに対する信頼性の向上がある。

さらに、トレンチの内部を、キャパシタのプレート電極となる低抵抗多結晶シリコン(15)で埋める。本実施例のトレンチのように深い場合には、埋め戻した後で多結晶シリコンの低抵抗化を行なおうとしても無理である。そこで、2段階で

多結晶シリコンの堆積を行い、1回目の堆積のあとにりんを拡散させるという法を用いた。また、この多結晶シリコンはプレート電極として基板上にも一部残らなければならないので、エッチバックする際のストッパーとなるように、1回目の多結晶シリコンの表面を酸化し、SiO<sub>2</sub>膜(52)を形成した。

次に、第8図(d)に示したように、プレート電極として残る多結晶シリコンを残して、他は除去する。

次に、第8図(e)に示したように、トレンチキャパシタを2分するように、分離用のトレンチを形成する。トレンチキャパシタや素子間分離用酸化膜に対する分離用トレンチの位置関係は第1図(c)のレイアウト図に示した通りである。分離用のトレンチはキャパシタ用トレンチより深く、深さは $5 \mu\text{m}$ である。また、分離用トレンチの底には、隣接する不純物拡散層間のリーク電流を防ぐために、基板に含まれている不純物と同じ物を、基板よりは高い温度でイオン打ち込みした。

次に、第8図(f)のように、分離用トレンチの内部を絶縁膜で埋め戻し、一部は層膜分離膜として用いる。

最後に、スイッチ用トランジスタのゲート電極(16)を形成し、ソース・ドレイン領域(19)を自己整合で作った後、ビット線コンタクトホールをあけてアルミニウム配線(18)を行う。

本実施では、折り返しビット線構成で説明してきたが、開放ビット線構成のメモリへも本発明の製造方法が適用可能なのは言までもない。

また、第8図(f)では分離用トレンチの内部は絶縁膜で埋め戻したが、分離用トレンチの側壁を酸化し、その内部を多結晶シリコンで埋める方法も可能である。このためには、まず、第8図(h)のようにトレンチの内部を多結晶シリコン(15)で埋め戻した後、キャバシタのプレート電極を加工する前に分離用トレンチを掘り、表面を酸化する。なお、分離用トレンチの下にはリーク電流防止用のイオン打込みを行っている。

次に、第8図(j)のように、分離用トレンチ

の内部を低抵抗多結晶シリコンで埋めた後、キャバシタ用トレンチを埋めている多結晶シリコン(15)の表面が露出するまでエッチャックする。

さらに、その上に再び低抵抗多結晶シリコン(15)を堆積させて、キャバシタ用トレンチと分離用トレンチの内部を埋める多結晶シリコンどうしを導面させ、プレート電極形状に加工する。この後は、プレート電極を絶縁膜で覆い、第8図(f)の構造にし、最終的に第8図(g)や第9図のような半導体記憶装置をつくる。

本実施例による半導体記憶装置の製造方法を用いれば、隣接する拡散層の距離によってセル面積が決定された従来型トレンチキャバシタセルと違って、トレンチ間隔を小さくすることが可能なため、ひいては、セル面積の縮小、メモリーの大容量化が可能となる。例えば、第4図に示した本発明の製造方法を用いたトレンチキャバシタセルは、第3図の従来型に比べて約20%ものセル面積の縮小ができる。

また、分離用のトレンチによって、隣接するト

レンチ間のリーク電流も従来のものに比べて少く、メモリ動作の信頼性という点でも優れている。本実施例では、分離用トレンチの内部をも薄い酸化膜と低抵抗結晶シリコンで埋める方法も記述したが、この場合には、分離用トレンチの側壁もキャバシタとして利用できるため、容量の増加が期待できる。

#### [発明の効果]

以上説明したように、本発明によれば、高集積な溝掘りキャバシタを用いた半導体記憶装置を得ることができる。

#### 4. 図面の簡単な説明

第1図(a)～(c)は本発明の基板プレート型トレンチキャバシタセルを示す図、第2図は従来のトレンチキャバシタセル、第3図(a)(b)は従来の基板プレート型トレンチキャバシタセルを示す図、第4図はソース領域との接触と自己整合にした従来の基板プレート型トレンチキャバシタセルを示す図、第5図(a)～(i)は本発明の第1の実施例を示す工程図、第6図は本発明の第1の実施例

の平面レイアウト図、第7図(a)～(m)は本発明第2の実施例を実現するための工程図、第8図(a)～(k)は本発明の第3の実施例を示す工程図、第9図は、本発明の第3の実施例を示す断面図である。

#### (第5図)

1 1…高濃度シリコン基板、1 2…エピタキシャル層、1 3…素子間分離用酸化膜、1 4…キャバシタ絶縁膜、1 5…高濃度多結晶シリコン、1 6…ゲート電極(ワード線)、1 7…層間分離絶縁膜、1 8…A 2配線、1 9…ソース・ドレイン、2 0…不純物拡散層、2 1…シリサイド、5 1…Si<sub>3</sub>N<sub>4</sub>、5 2…SiO<sub>2</sub>。

#### (第7図)

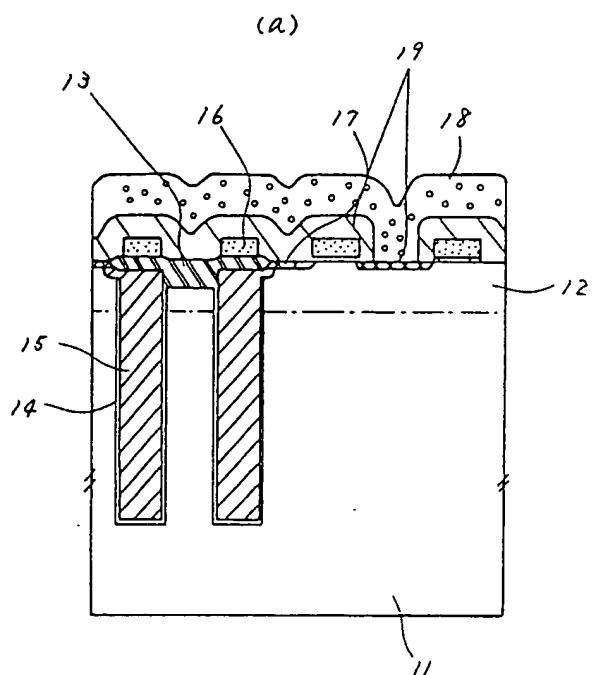
1 0…絶縁膜、1 1…高濃度シリコン基板、1 2…低濃度基板、1 3…素子間分離用酸化膜、1 4…キャバシタ絶縁膜、1 5…高濃度多結晶シリコン、1 6…ゲート電極、1 7…層間分離用酸化膜、1 8…アルミニウム配線、1 9…ソース・ドレイン、2 0…不純物拡散層、4 1…Si<sub>3</sub>N<sub>4</sub>、4 2…

SiO<sub>2</sub>, 43…レジスト。

(第8図)

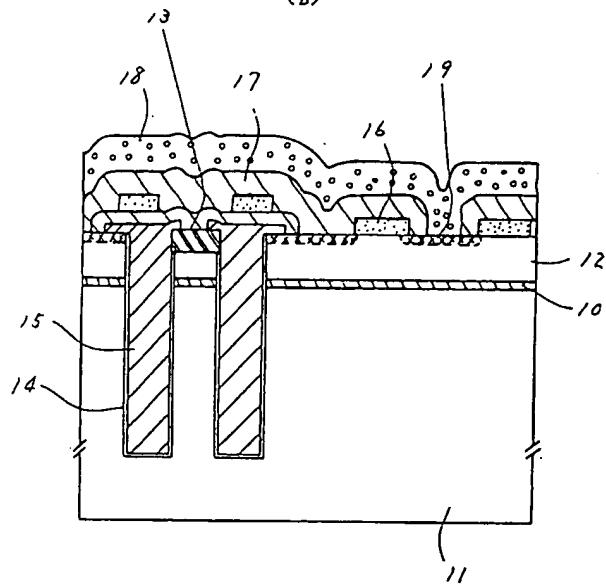
11…分離用トレンチ、12…半導体基板、13…  
電子間分離用酸化膜、14…キャパシタ絶縁膜、  
15…多結晶シリコン、16…ワード線、17…層  
間分離酸化膜、18…アルミニウム配線、19…ソ  
ース・ドレイン、20…不純物拡散層、31…電子  
間分離用酸化膜、32…トレンチ、33…ワード電  
極、34…プレート電極、35…ピット線コンタク  
トホール、41…分離用トレンチ、51…マスク材。

第1図



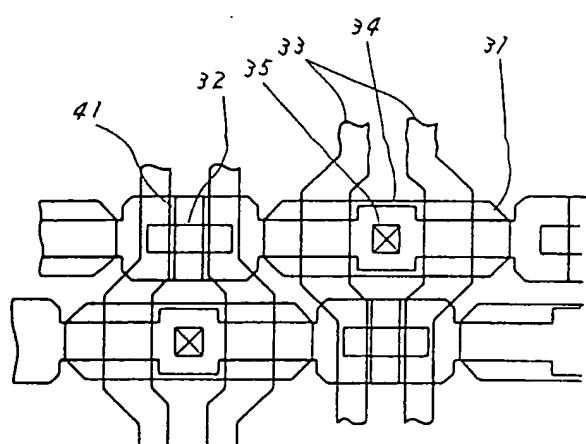
第1図

(b)

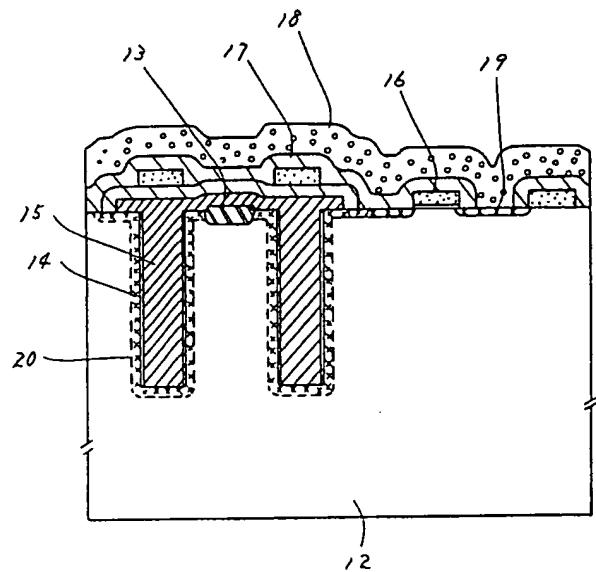


第1図

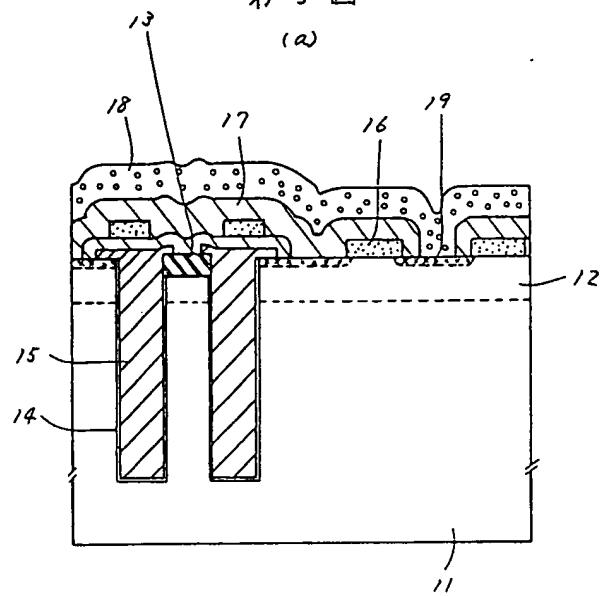
(c)



第2図

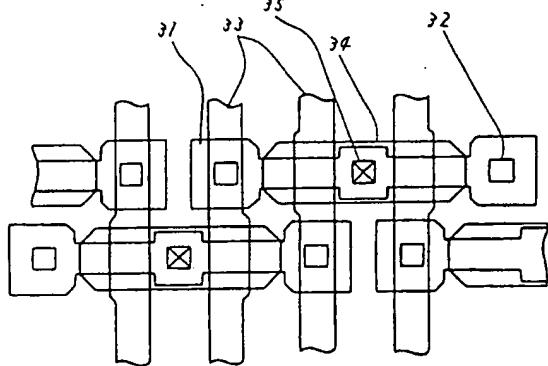


第3図

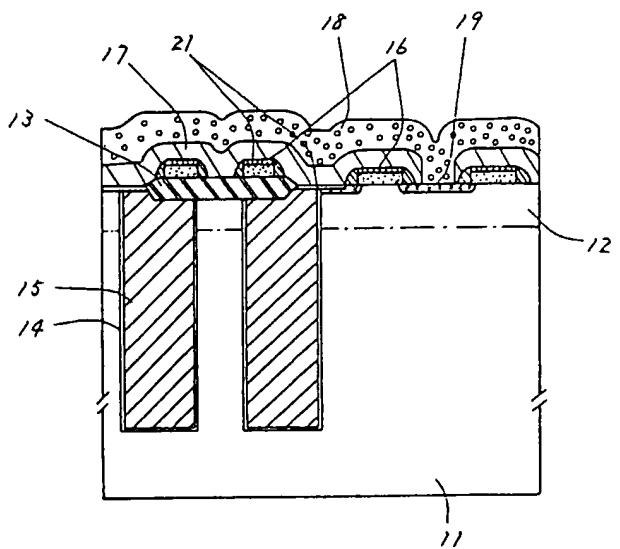


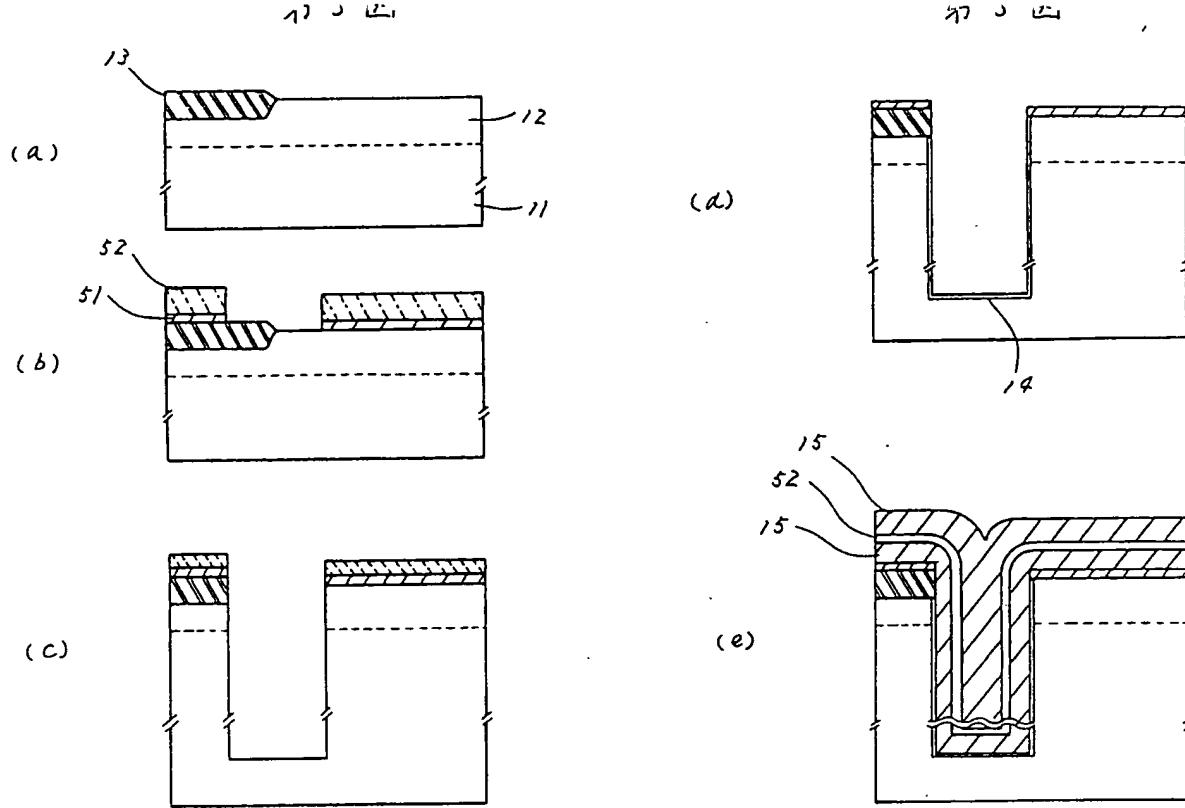
第3図

(a)

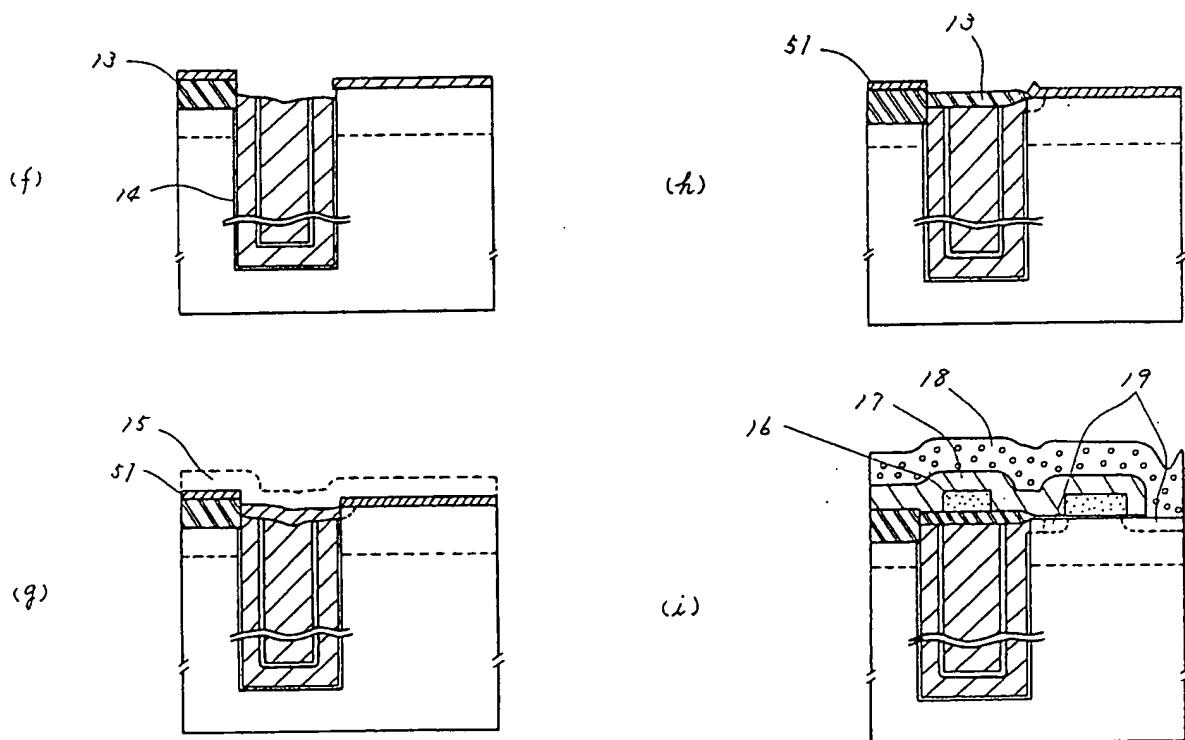


第4図

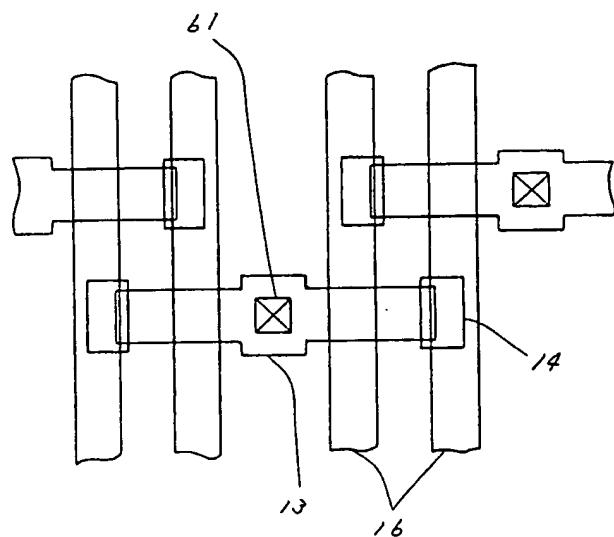




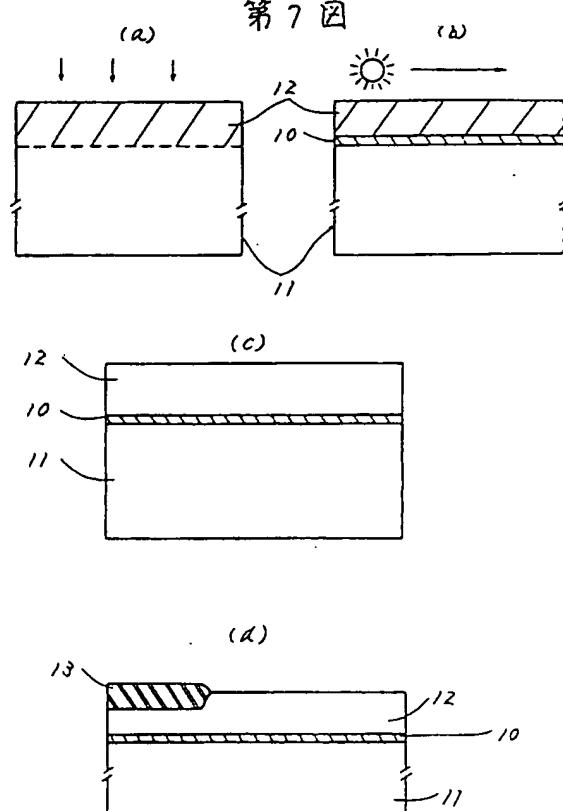
第 5 図



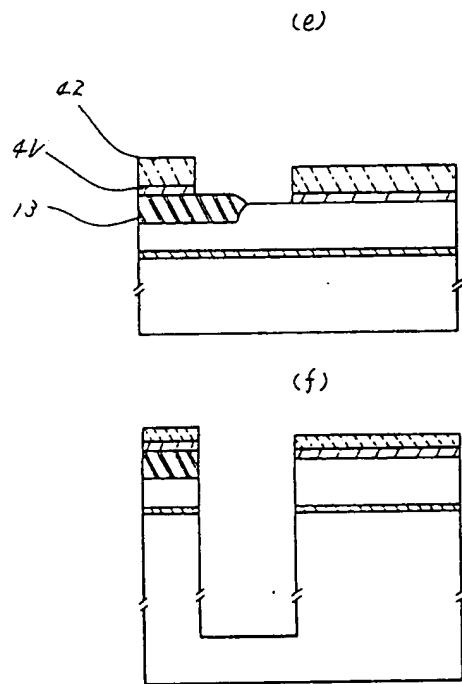
第6図



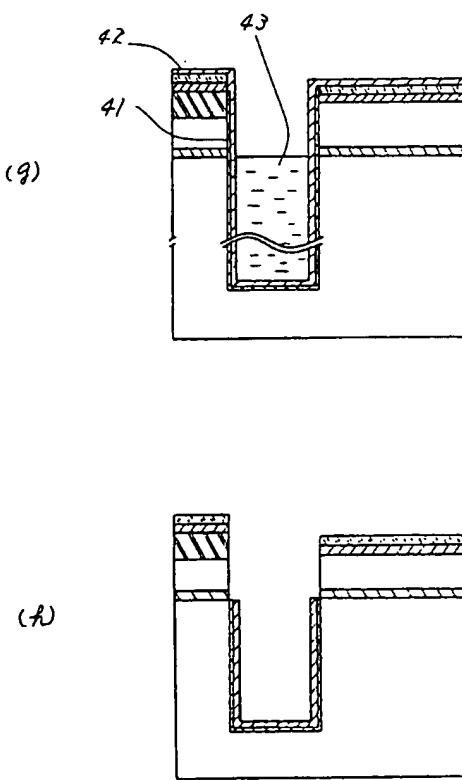
第7図



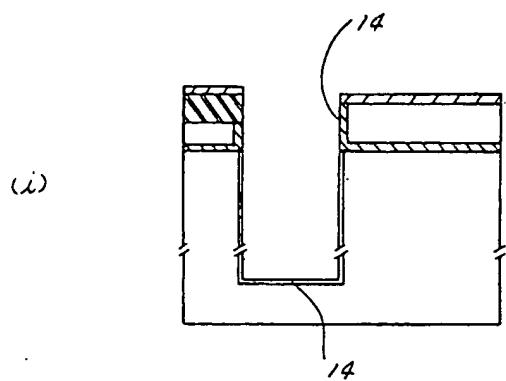
第7図



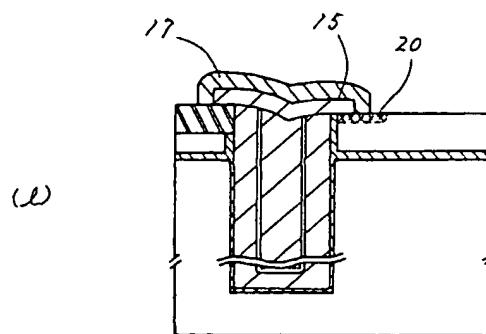
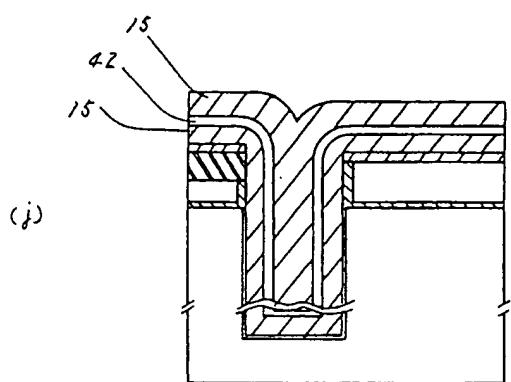
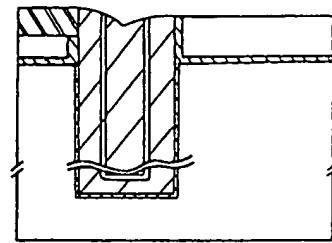
第7図



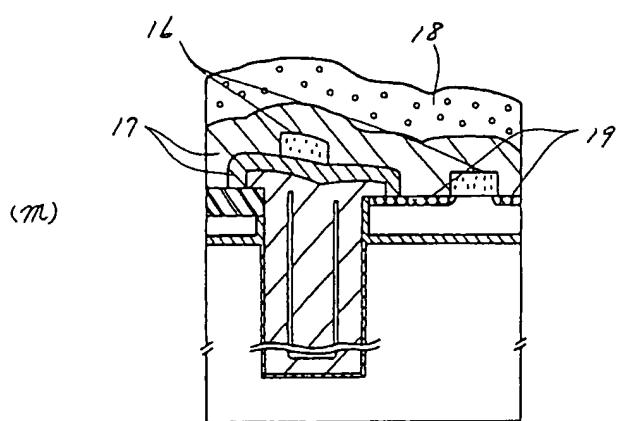
第7図



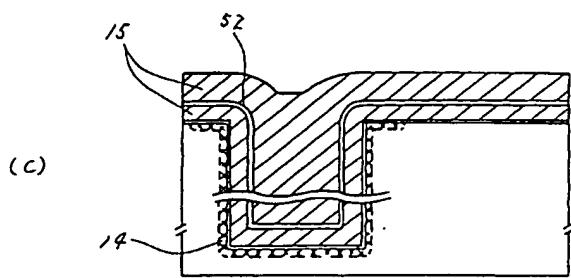
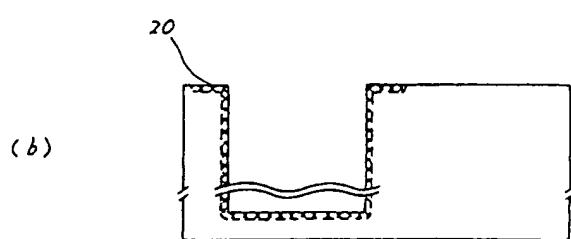
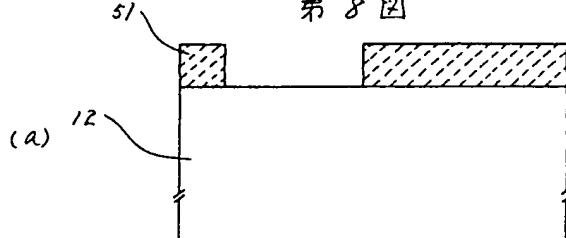
第7図



第7図

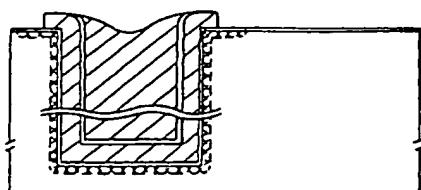


第8図



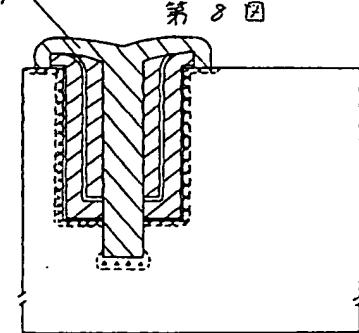
第8図

(d)

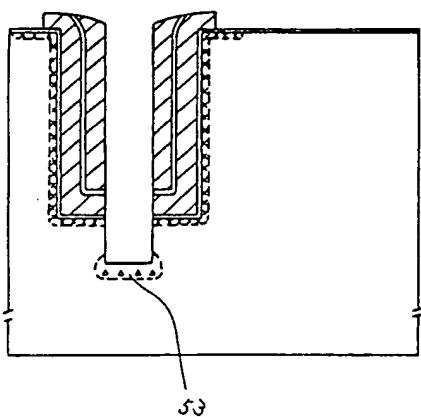


第8図

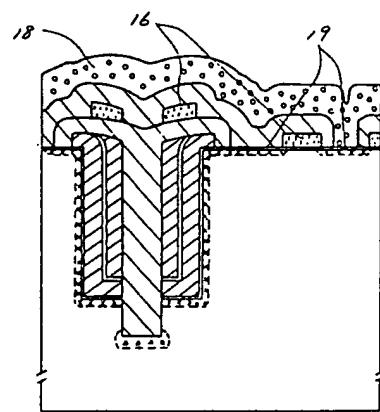
(f)



(e)

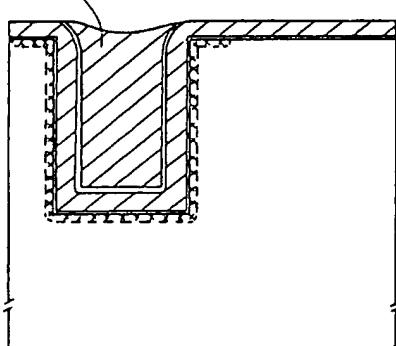


(g)



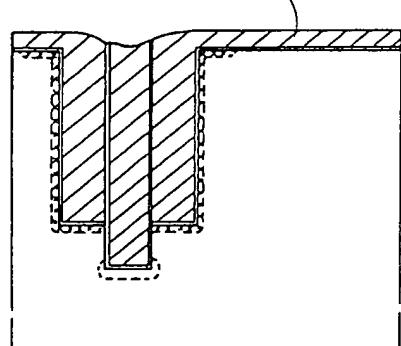
第8図

(h)

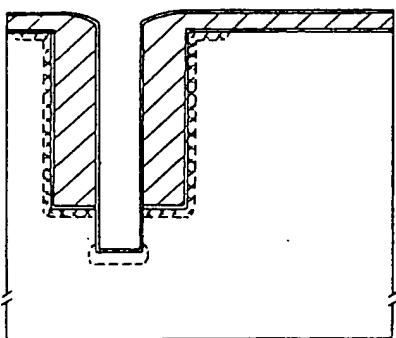


第8図

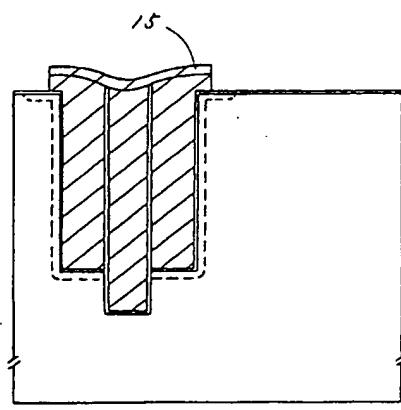
(j)



(i)



(k)



第9図

